Ethernet PON MAC 정합기능의 구현

김찬[0], 한경수,김승환,강호용,김정학,최현균,이호숙,은지숙,유태환,이형호
한국전자통신연구원 네트워크연구소 광가입자망연구부
Tel : (042) 860-5773, Fax : (042) 860-5213

An Implementation of IEEE802.3ah EPON MAC Protocol

Chan Kim[0], Kyeong-Soo Han, Seung-Hwan Kim, Ho-Yong Kang,
Jung-Hak Kim, Hyun-Kyun Choi, Ho-Sook Lee, Ji-Sook Eun, Tae-Whan Yoo, Hyeong-Ho Lee
Optical Access Network Department, Network Research Laboratory, ETRI
E-mail : ckim@etri.re.kr

요 약

EPON MAC 프로토타입 칩셋을 FPGA 로 구현하여 기본 기능을 확인하였다. 본 EPON 칩셋은 매스터와 슬레이브로 구분되며 GMII를 통해 상위의 스위치 또는 NP(Network Processor), 하위의 물리계층과 연결된다. 프레임 송수신 기능과 함께 EPON을 위한 MPCP(Multi Point Control Protocol)를 처리하도록 되어 있는데 자동등록 기능은 OLT에서는 소프트웨어로 처리할 수 있도록 하였으며 ONU에서는 하드웨어로 처리된다. 전송허가인 게이트는 운용자 설정에 의해 정적으로 배분될 수도 있고 ONU의 요구에 따라 동적으로 할당될 수도 있다. 또한 LLID를 이용해 P2PE 이나 SE 기능을 처리하는 PON 브리지 기능을 갖추고 있어 별도의 처리 없이 기존의 브리지와 그대로 연결될 수 있다. 현재까지 자동 등록 및 SBA 방식 프레임 전달 기능이 확인되었으며 앞으로 효율적인 DBA 기능과 FEC, Security 기능 등이 추가될 것이며 최종적으로는 ASIC으로 구현될 것이다.

1. 서론

현재 가입자 망에서의 음성, 데이터 및 영상 복합서비스를 위한 대역폭 요구를 충족시키기 위하여 EPON(Ethernet Passive Optical Network) 의 연구 개발이 일부 회사들에 의해 진행되고 있다. EPON 은 ITU-T 의 규격인 ATM-PON 에 대응해서 Ethernet 의 이용을 가입자 지역까지 활성화시키고자 IEEE802 표준화 기구의 EFM(Ethernet in the First Mile) 프로젝트에서 표준화가 진행 중인 방식으로서 표준화가 완료되는 2004 년 쯤에는 많은 EPON 제품들이 시장에 선보일 것으로 예상하고 있으며 많은 주요 업체가 개발을 진행하고 있다.

EPON 은 망사업자의 국사에 위치한 OLT 와 가입자 지역에 위치한 다수의 ONU 또는 ONT 들이 수동소자인 스플리터를 이용하여 트리구조로 연결된 PON 에서 Ethernet 프레임을 기본 단위로 통신하는 방식으로서 현재 저가로 가장 많이 사용되고 있고 IP/Ethernet 기반 통신을 기존의 브리지 및 라우터의 프로토콜 변환 오버헤드 없이 액세스 망에도 사용할 수 있어 성공적인 개발이 이루어질 경우 그 기술 및 시장 가치가 매우 높다고 하겠다.

특히 PON 방식은 국사에 있는 OLT 로부터 가입자 밀집 지역까지 하나의 광섬유를 여러 가입자가 공유하고 가입자 근처에서 스플리터를 사용하여 광섬유를 접합함으로써 광섬유 포설 비용이 낮고 방송 형 서비스 수용이 용이한 점 등의 장점을 갖고 있어 유망한 광 가입자 망 방식으로 고려되고 있으며 기존의 STM/ADSL 방식이 거의 포화상태에 이른 이후에는 ATM-PON 과 함께 Ethernet PON 의 사용이 급증할 것으로 예측된다.

본 논문에서는 현재 ETRI 에서 EPON 액세스 장치를 위해 개발 중인 EPON MAC 프로토타입 칩셋의 설계 및 구현에 대해 소개한다.

2. EPON 통신 방식

본 절에서는 EPON 통신 방식에 대하여 기술한다. 기존의 Ethernet 에서는 공유매질과 점 대 점 링크만 지원했으며 하향으로는 Broadcast 되어 모든 ONU 가 수신하고 상향으로는 OLT 만 받게 되는 PON 구조는 기존의 브리지에서는 지원되지 않는 망 형태이다. 이러한 PON 망에서는 OLT 나 ONU 에 브리지가 단순하게 연결되어 있을 때는 브리지 상에서 프로토콜의 동작에 문제가 발생한다. 예를 들어 ONU 가 OLT 로 어떤 MAC 프레임을 보냈을 때 만약 그 MAC 프레임이 다른 ONU 로 향하는 것이라면 OLT 에 있는 브리지는 PON 에서 수신한 프레임을 다시 PON 포트로 내 보내야 하지만 Ethernet 브리지에서는 어떤 프레임이 특정 포트로부터 입력되었을 때 그 프레임의 목적지가 그

포트 쪽에 있다면 그 프레임은 이미 그 목적지로 전달되었을 것을 가정하고 있으므로, 브리지는 해당 프레임을 수신한 포트로 그 프레임 을 다시 내 보내지 않는다. 또한 만약 OLT가 하향으로 다시 보낸다고 해도 ONU 입장에서는 자신의 가입자로부터 프레임을 받아 다른 ONU로 보내기 위해 OLT로 올려 보낸 프레임이 OLT로 갔다가 반사되어 하향으로 Broadcast 되어 자신에게 다시 입력되면 ONU에 연결된 브리지는 OLT로부터 받은 그 프레임의 source MAC 주소가 수신된 포트 쪽, 즉 OLT 쪽에 존재한다고 생각하게 하여 가입자 쪽에서 그 프레임을 받을 때 얻은 Source 어드레스 학습 결과와 혼란을 일으킨다.

이와 같이 PON 구조에서는 기존의 브리지가 제대로 동작할 수 없으므로 기존의 브리지와의 호환을 위하여 LLID(Logical Link ID)라는 값을 사용하여 PON 구간이 마치 OLT와 여러 ONU가 점 대 점으로 연결된 것처럼 보이게 해 준다. 이 LLID는 상향 및 하향 프레임의 앞부분에 붙어서 전달되는 값으로서 하향에 있어서는 해당 프레임이 향하고 있는 목적지 ONU를 나타내며 상향에 있어서는 해당 프레임을 송신한 근원지 ONU를 나타낸다. 이 LLID 값은 점 대 점 모드의 논리적인 선로를 의미하기도 하지만 하향에 있어서 모든 ONU가 받도록 할 수도 있고, anti-LLID 도 있어서 특정 LLID를 제외한 모든 ONU가 받도록 할 수도 있다. LLID를 사용하여 EPON을 다수의 점 대 점 링크로, 또는 버스처럼 보이게 할 수도 있어 브리지와의 호환성 문제를 해결할 수 있다. 이 LLID 값은 어떤 ONU 가 EPON에 처음 접속될 때 OLT의 주도로 처리되는 자동등록(auto-discovery) 과정을 통해 해당 ONU에 할당되는 값으로서 앞에 설명한 대로 OLT와 ONU사이의 논리적인 link를 구분하기 위해 사용된다. 그림 1은 점 대 점 emulation을 위한 LLID의 사용을 나타낸다. 하향에서 ONU들은 자신의 LLID에 해당하는 프레임만 받아 들이고, 상향에서 OLT는 LLID값을 통해 어느 ONU가 보낸 프레임인지 알 수 있다.

EPON 에서는 EPON 과 관련된 프로토콜을 처리하기 위하여 MAC 제어계층(MAC Control)에서 MPCP(Multi Point Control Protocol)라는 프로토콜이 사용되는데 이를 위하여 MPCP 프레임이 OLT와 ONU 사이에 전달된다. MPCP 프레임은 Type 필드에 의해 구분되며 Opcode를 가지고 있어 메시지의 종류를 나타내고 길이는 FCS 를 포함하여 64 바이트이다. MPCP 프레임에는 6가지가 정의되어 있는데 OLT가 ONU에 전송 시작시간과 길이를 알리는 게이트, ONU가 자신의 큐의 상태를 나타내는 리포트, ONU가 등록을 요구하는 등록요구, 등록요구에 대한 응답으로 OLT가 LLID 할당과 함께 ONU 에 등록을 지시하는 등록허가, ONU가 등록허가의 수신을 확인하여 OLT에 보내 주는주는 등록확인이 있다. 게이트에는 등록요구를 위한 것임을 나타내는 플래그가 있으며 이러한 MPCP 프레임도 일반 프레임과 같이 앞에 LLID 값을 가지고 전송된다.

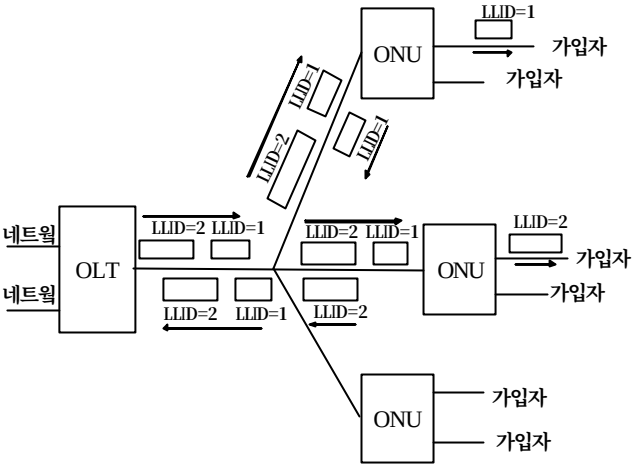

그림 1. EPON 의 전송 방식

그림 2는 EPON 규격에 의한 OLT에서의 프로토콜 계층도인데 기존의 브리지와의 호환을 위하여 마치 각 ONU별로 각각 다른 link가 존재하는 것처럼 emulated 되어 각각 다른 MAC 서비스 인터페이스가 브리지에 제공된다. 이처럼 프로토콜 상으로 완전하기 위해서 개념적으로 상위의 client 인 브리지에는 여러 개의 MAC 서비스 인터페이스가 제공되지만 실제의 물리 링크는 하나이며 OLT에서의 논리적인 다수의 MAC 은 한번에 하나만 인에이블 된다. 하나의 물리매체와 다수의 논리적인 MAC 사이의 연결은 LLID를 통해 목적지 또는 근원지 ONU와 해당하는 MAC을 이어 줌으로써 가능하다. 실제로 구현에 있어서는 다수의 MAC 을 별도로 구현하는 것이 아니라 하나의 MAC 회로를 사용하되 LLID를 구분해야 하는 경우에만 LLID 별로 처리를 해 줌으로써 마치 LLID 별로 MAC 이 존재하는 것과 같은 효과를 갖는다. 이를 위하여 상위의 브리지까지는 각각의 논리적인 MAC이 별도의 port 로 보여야 하므로 LLID 정보가 프레임과 같이 전달되는 방식을 사용하며 본 EPON 매스터 칩의 설계에 있어서도 상위의 브리지와 선로사이에는 LLID 정보가 프레임과 함께 전달되는 방식을 사용한다.

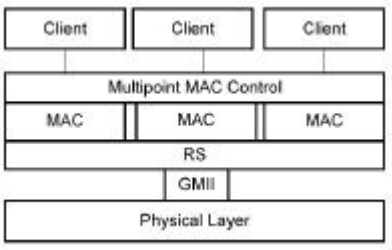

그림 2. EPON 시스템의 계층도

EPON에서는 OLT가 각 ONU들에게 게이트 메시지를 내려 보냄으로써 전송할 시작시간과 길이를 정해주고 ONU들은 자신이 할당받은 시간동안에만 전송하게 된다. 또한 OLT에서 각 ONU까지의 거리가 다르기 때문에 OLT가 각 ONU의 전송시작시간을 정해서

서로 겹치지 않게 할당해서 내려 준다고 해도 ONU가 보낸 데이터가 서로 다른 지연시간을 거쳐 OLT에 도달하면 충돌이 일어나게 되므로 이런 전송 및 처리 지연 차이에 대한 보상이 필요하다. 이 전송시작 제어 및 시간지연 보상을 위해 OLT와 ONU에 각각 길이가 32비트이고 16비트 시간에 1씩 증가하는 타이머가 사용된다. OLT는 모든 MPCP 프레임을 전송할 때 자신의 타이머 값을 실어서 보내고 ONU는 MPCP 프레임을 받을 때마다 OLT의 타이머 값을 자신의 타이머에 복사하고 나머지 시간에는 계속 증가시킨다. 이렇게 함으로써 ONU들의 타이머는 ONU의 타이머보다 하향 전송시간+처리지연 시간만큼 늦게 된다. 또한 ONU가 OLT로 MPCP 프레임을 전송할 때도 자신의 타이머 값을 실어 보낸다. 이 프레임이 OLT에 도착할 때는 마찬가지로 상향 전달지연시간 + 처리지연시간 만큼 더 늦게 된다. 따라서 OLT는 어느 ONU로부터 MPCP 프레임을 받을 때마다 자신의 타이머 값에서 수신된 ONU의 타이머 값을 뺌으로써 해당 ONU까지의 RTT(Round Trip Time)을 알아낸다. 이 RTT 값은 ONU마다 서로 다른 값을 갖게 되는데 OLT가 각 ONU에 대해서 상향 전송시작시간을 정할 때는 모든 ONU가 같은 거리에 있다고 가정하고 시작시간을 결정한 후에 그 값에서 해당하는 ONU의 RTT값을 빼서 보냄으로써 RTT 에 대해 보상을 하게 된다. 이런 방법으로 RTT가 큰 ONU들은 RTT 만큼 더 미리 전송하도록 하여 결국 RTT와 상관없이 모든 ONU들이 보낸 데이터가 스케쥴링한 대로 OLT에 도착하게 된다.

3. 칩의 구조 및 기능 설명

3.1 매스터 칩의 구조 및 기능

EPON 매스터 칩(EPMC)은 FPGA로 구현되었다. 그림 3 은 EPON 매스터 칩의 구조이다. 주 처리 부분인 MAC Control 부분은 31.25MHz에서 32비트 처리하고 나머지 부분은 8비트로 125MHz 에서 동작한다.

PON 브리지 블럭 내부의 룩업,학습 및 포워딩 블럭은 상위의 NP(Network Processor) 또는 Ethernet 스위치와 하위의 LLID 로 구분되는 다수의 MAC 서비스 인터페이스 사이에서 MAC 근원지 주소 학습, 목적지 주소 룩업에 의한 프레임 포워딩, 시간경과에 의한 주소 entry 폐기 기능 등을 갖는다. 일반 브리지와 마찬가지로 목적지의 위치를 모를 때는 입력된 포트를 제외한 모든 다른 포트로 플러딩하게 된다. 따라서 EPMC 상위에 위치하는 NP 또는 스위치는 EPON부분이 브리지를 통해 연결된 점대점 연결 LAN 또는 shared LAN 처럼 보이게 된다.

MAC Control 부분은 EPON 과 관련된 기능을 주로 처리하며 동시에 하향에 대해서는 브리지에서 내려온 프레임과 MPCP 관련 프레임을 다중화하는 기능, 그리고 상향에서는 하위의 MAC 으로부터 수신된 프레임을 목적지에 따라 내부 또는 외부의 MPCP 처리기능으로 전달하는 역다중화 기능을 갖는다.

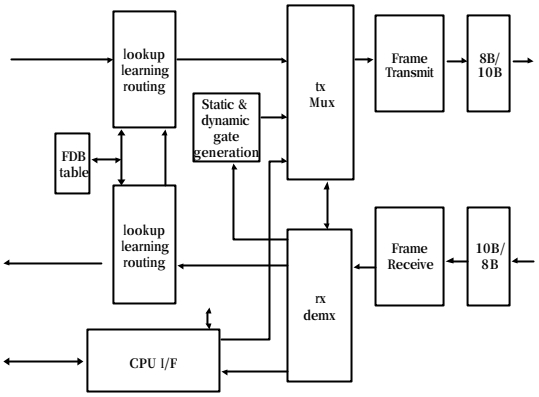

그림 3. EPON 매스터 칩의 구조

EPMC에서는 MPCP 자동등록 관련 프레임은 외부의 CPU가 처리할 수 있도록 임의의 프레임을 송신하고 수신할 수 있는 기능을 갖추고 있는데 자동등록을 위한 게이트의 송신, 등록요구의 수신, 등록허가의 송신, 등록확인의 수신 및 최초의 데이터 게이트의 전송은 CPU에 의해 이루어지게 된다. 게이트 전송에 있어 CPU가 설정해 주는 대로 주기적으로 다수의 entry에 대해서 서로 다른 길이의 게이트를 정적(static)으로 발생시켜 내려 보낼 수도 있고 ONU가 올려 보낸 report 를 처리하여 동적으로 gate 를 내려 보낼 수도 있다. 또한 모든 MPCP 프레임에 자신의 타임스탬프를 삽입하며 수신된 모든 MPCP 프레임에 대해 자신의 타이머에서 수신된 프레임에 실린 타이머 값을 뺌으로써 해당하는 ONU의 RTT값을 알아내어 내부에 저장하고 게이트를 내려 보낼 때 전송시작시간에서 목적지 ONU에 해당하는 RTT 값을 뺌으로써 게이트 시작시간에 대해서 RTT 값을 보상해 준다. 프레임 송수신 부분은 송신 프레임에 대해 FCS를 붙여 전송하고 수신 프레임에 대해서 고정지연 방식으로 FCS를 검사하며 프리앰블을 설정 및 검사한다. 또한 LLID 별로 MIB 카운터를 관리한다.

3.2 슬레이브 칩의 구조 및 기능

그림 4는 EPON 슬레이브 칩(EPSC)의 블럭도이다.

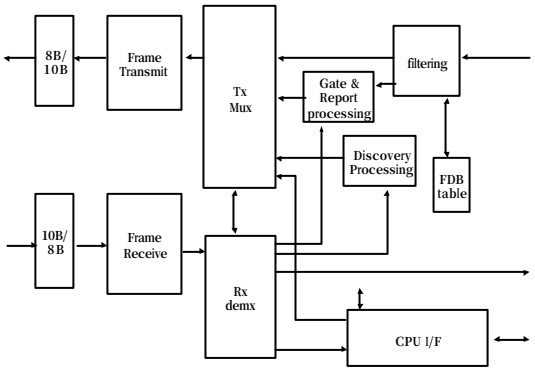

그림 4. EPON 슬레이브 칩의 구조

필터링 부분은 상향 트래픽에 대해서 근원지 주소 학습을 통해 자신의 가입자에 해당하는 MAC 주소를 알아내어 기억하여 PON구간으로 보낼 필요가 없는 프레임은 폐기하는 기능을 갖는다. 하향 데이터는 모두 스위치 인터페이스로 전달한다.
게이트 처리부에서는 OLT로부터 MPCP 프레임을 받을 때마다 타이머를 복사하고 증가시켜 OLT와 동기시키고 게이트 프레임을 받아서 큐에 저장한 후에 시작시간을 기다렸다가 게이트 길이만큼 전송을 인에이블 시킨다. 디스커버리 처리 블럭에서는 MPCP 프로토콜에 따라 OLT와 메시지를 주고 받음으로써 자동등록을 완료한다. 송신되는 메시지 및 프레임의 선택은 디스커버리의 과정의 지배를 받는다. 또한 DBA 처리를 위해서 송신 데이터 버퍼의 상태를 관찰하여 모든 송신 window 마지막 부분에 리포트를 올려 보내는 기능도 갖는다. 또한 임의의 프레임 송수신을 위한 CPU 인터페이스도 제공한다. 다중화 및 역다중화부는 MPCP 프레임과 일반 프레임 사이의 다중/역다중화 기능을 처리하며 프레임 송수신부는 FCS를 생성 및 검사, MIB 카운터를 관리하고 EPON 프리앰블의 생성 및 검사 기능을 처리한다.

4. 실험 결과

그림 5와 같이 실험실용 환경에서 OLT와 ONU 시스템을 꾸미고 프로세서의 구동과 함께 기본 기능을 실험하였다. EPON 물리계층은 다양한 부품을 실험하기 위해 MAC 과 PHY 를 별도의 보드로 구현하여 GMII로 연결하여 사용할 수 있게 하였다. 실험 결과 auto-discovery 기능이 잘 처리되었으며 상하향 프레임 송수신도 잘 처리되었다. 이 글을 쓰는 시간에는 현재 EPON용 버스트모드 광인터페이스 기능시험을 앞두고 있으며 기능 향상 및 DBA 등 부가 기능을 향상하고 있다.
그림 6은 EPON 매스터 및 슬레이브 보드의 사진이다.

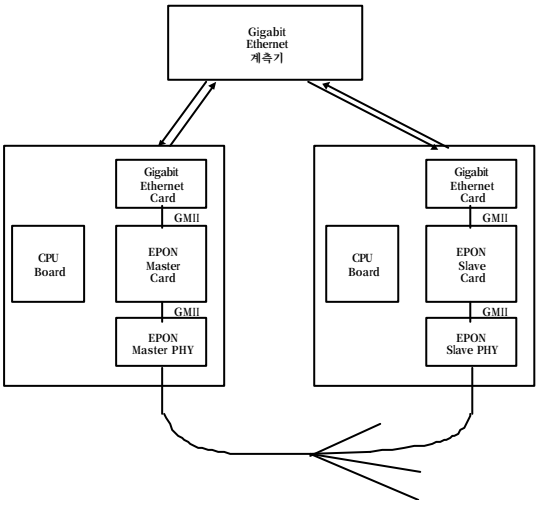

그림 5. 실험 셋팅

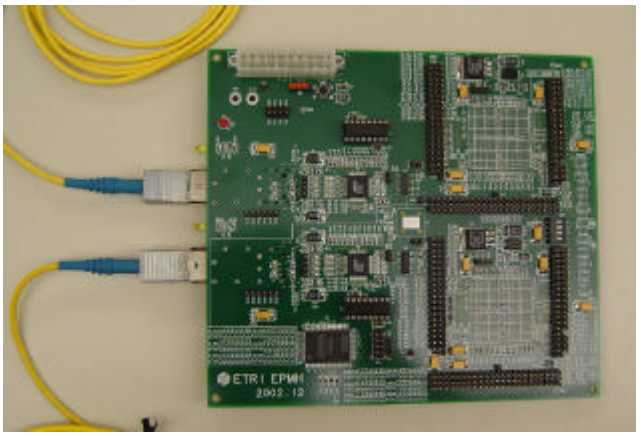

그림 6. EPON 매스터 카드

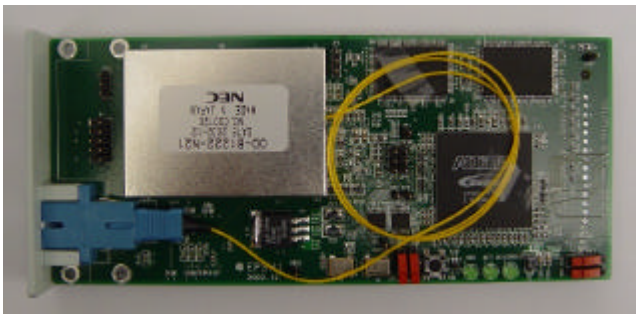

그림 7. ONU 슬레이브 카드

5. 결론

가입자 액세스 망에서 사용될 핵심기술이라 할 수 있는 EPON 프로토콜을 FPGA로 구현하여 그 실현가능함을 확인하였으며 현재 개발중인 초고속광가입자망 장치의 EPON 기능에서 기본적인 기능들이 확인되었다. 자동등록, 상하향 프레임전송, PON 브리지 기능이 확인되었으며 향후 DBA, FEC, Security 기능 들이 보완 및 추가될 예정이다. 기능검증이 끝난 후에 ASIC으로의 개발이 진행될 것이다. 본 EPON 칩셋은 매스터와 슬레이브 각각의 FPGA에 물리계층의 PCS 기능도 통합함으로써 ASIC 변경 후의 저가화를 꾀하였으며 안정성을 높일 수 있도록 하였다.

- 본 연구는 정보통신부 차세대 핵심 기술 개발 사업의 일환으로 수행되었습니다. 과제 수행에 많은 지원을 주신 MIC 및 정보통신진흥원 관계자 여러분께 감사 드립니다.

참고 문헌

[1] IEEE STD 802.3, 2000 Edition, 2000

[2] IEEE 802.3ah Draft Document Structure for P802.3ah/D1.1, 2002